

# 特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）  
〔PCT36条及びPCT規則70〕

REC'D 19 JAN 2006

WIPO

PCT

出願人又は代理人 の書類記号 YG2004-06PCT	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP2004/011454	国際出願日 (日.月.年) 10.08.2004	優先日 (日.月.年) 30.10.2003
国際特許分類 (IPC) Int.Cl. H01L25/10 (2006.01), H01L25/11 (2006.01), H01L25/18 (2006.01), H01L25/065 (2006.01), H01L25/07 (2006.01)		
出願人 (氏名又は名称) 独立行政法人科学技術振興機構		

<p>1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。</p> <p>2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。</p> <p>3. この報告には次の附属物件も添付されている。</p> <p>a. <input checked="" type="checkbox"/> 附属書類は全部で 14 ページである。</p> <p><input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び/又は図面の用紙（PCT規則70.16及び実施細則第607号参照）</p> <p><input type="checkbox"/> 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙</p> <p>b. <input type="checkbox"/> 電子媒体は全部で (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第802号参照)</p>	
<p>4. この国際予備審査報告は、次の内容を含む。</p> <p><input checked="" type="checkbox"/> 第I欄 国際予備審査報告の基礎</p> <p><input type="checkbox"/> 第II欄 優先権</p> <p><input checked="" type="checkbox"/> 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成</p> <p><input type="checkbox"/> 第IV欄 発明の単一性の欠如</p> <p><input checked="" type="checkbox"/> 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明</p> <p><input checked="" type="checkbox"/> 第VI欄 ある種の引用文献</p> <p><input type="checkbox"/> 第VII欄 国際出願の不備</p> <p><input type="checkbox"/> 第VIII欄 国際出願に対する意見</p>	

国際予備審査の請求書を受理した日 10.08.2005	国際予備審査報告を作成した日 05.01.2006	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田中 永一	4 R 9539
電話番号 03-3581-1101 内線 3469		

様式PCT/IPEA/409 (表紙) (2005年4月)

## 第 I 欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
- ☐ 出願時の言語から次の目的のための言語である \_\_\_\_\_ 語に翻訳された、この国際出願の翻訳文
- ☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
- ☐ 国際公開 (PCT規則12.4(a))
- ☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に回答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-27, 29-31 \_\_\_\_\_ ページ、出願時に提出されたもの

第 28 \_\_\_\_\_ ページ\*, 21. 11. 2005 付けで国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ\*, \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2-15, 18-22, 25-38, 41-45 \_\_\_\_\_ 項、出願時に提出されたもの

第 \_\_\_\_\_ 項\*, PCT19条の規定に基づき補正されたもの

第 16, 23, 39, 46 \_\_\_\_\_ 項\*, 10. 08. 2005 付けで国際予備審査機関が受理したもの

第 1, 17, 24, 40, 47-54 \_\_\_\_\_ 項\*, 21. 11. 2005 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-29 \_\_\_\_\_ ページ/図、出願時に提出されたもの

第 \_\_\_\_\_ ページ/図\*, \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ/図\*, \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ
- ☐ 請求の範囲 第 \_\_\_\_\_ 項
- ☐ 図面 第 \_\_\_\_\_ ページ/図
- ☐ 配列表 (具体的に記載すること) \_\_\_\_\_
- ☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 \_\_\_\_\_ ページ
- ☐ 請求の範囲 第 \_\_\_\_\_ 項
- ☐ 図面 第 \_\_\_\_\_ ページ/図
- ☐ 配列表 (具体的に記載すること) \_\_\_\_\_
- ☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

## 第Ⅲ欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成

次に関して、当該請求の範囲に記載されている発明の新規性、進歩性又は産業上の利用可能性につき、次の理由により審査しない。

☐ 国際出願全体

☒ 請求の範囲 47-54

理由：

☐ この国際出願又は請求の範囲 \_\_\_\_\_ は、国際予備審査をすることを要しない次の事項を内容としている（具体的に記載すること）。

☐ 明細書、請求の範囲若しくは図面（次に示す部分）又は請求の範囲 \_\_\_\_\_ の記載が、不明確であるため、見解を示すことができない（具体的に記載すること）。

☐ 全部の請求の範囲又は請求の範囲 \_\_\_\_\_ が、明細書による十分な裏付けを欠くため、見解を示すことができない（具体的に記載すること）。

☒ 請求の範囲 47-54 \_\_\_\_\_ について、国際調査報告が作成されていない。

☐ 入手可能な配列表が存在せず、有意義な見解を示すことができなかった。

出願人は所定の期間内に、

☐ 実施細則の附属書Cに定める基準を満たす紙形式の配列表を提出しなかったため、国際予備審査機関は、認められた形式及び方法で配列表を入手することができなかった。

☐ 実施細則の附属書Cに定める基準を満たす電子形式の配列表を提出しなかったため、国際予備審査機関は、認められた形式及び方法で配列表を入手することができなかった。

☐ PCT規則13の3.1(a)又は(b)及び13の3.2に基づく命令に応じた、要求された配列表の遅延提出手数料を支払わなかった。

☐ 入手可能な配列表に関連するテーブルが存在しないため、有意義な見解を示すことができなかった。すなわち、出願人が、所定の期間内に、実施細則の附属書Cの2に定める技術的な要件を満たす電子形式のテーブルを提出しなかったため、国際予備審査機関は、認められた形式及び方法でテーブルを入手することができなかった。

☐ ヌクレオチド又はアミノ酸の配列表に関連するテーブルが電子形式のみで提出された場合において、当該テーブルが、実施細則の附属書Cの2に定める技術的な要件を満たしていない。

☐ 詳細については補充欄を参照すること。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 1-46	有
	請求の範囲	無
進歩性 (IS)	請求の範囲 1-46	有
	請求の範囲	無
産業上の利用可能性 (IA)	請求の範囲 1-46	有
	請求の範囲	無

2. 文献及び説明 (PCT規則 70.7)

文献1: JP 10-223833 A (株式会社東芝) 1998.08.21  
 文献2: JP 2003-110084 A (ローム株式会社) 2003.04.11  
 & US 2003/0062620 A1  
 文献3: JP 10-27824 A (松下電器産業株式会社) 1998.01.27  
 & US 5952718 A  
 & EP 0791690 A1

請求の範囲1-46に係る発明は、国際調査報告で引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

第VI欄 ある種の引用文献

1. ある種の公表された文書 (PCT規則 70.10)

出願番号 特許番号	公知日 (日. 月. 年)	出願日 (日. 月. 年)	優先日 (有効な優先権の主張) (日. 月. 年)
JP 2003-309221 A 「E X」	31. 10. 2003	15. 04. 2002	

2. 書面による開示以外の開示 (PCT規則 70.9)

書面による開示以外の開示の種類	書面による開示以外の開示の日付 (日. 月. 年)	書面による開示以外の開示に言及している 書面の日付 (日. 月. 年)
-----------------	------------------------------	--

け、ポスト電極9aと貫通電極12cの擦り付け面を金属間接合(金属接合)によって接続させる。

[0111] つぎに、同様に、特に図示はしないが、第3の半導体装置4上に第2の半導体装置3を位置決めして載置し、第3の半導体装置4の上面のCuからなるポスト電極9cを第2の半導体装置3の下面のCuからなる貫通電極12bに相対的に超音波振動を加えて擦りつけ、ポスト電極9cと貫通電極12bの擦り付け面を金属間接合(金属接合)によって接続させる。

[0112] また、この例では、実施例2と同様に第1の半導体装置2と第3の半導体装置4との隙間に絶縁性のアンダーフィル層50を充填し、第3の半導体装置4と第2の半導体装置3との隙間に絶縁性のアンダーフィル層51を充填している。

[0113] 本実施例によれば、第1の半導体装置2と第3の半導体装置4との積層固定、及び第3の半導体装置4と第2の半導体装置3との積層固定において、突起電極を用いないことから、さらに薄型化が図れる特徴がある。

## 実施例6

[0114] 図26は本発明の実施例6である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。本実施例6では、積層型半導体装置1の第1の半導体装置2、第2の半導体装置3、第3の半導体装置4は、いずれも半導体基板6a、6b、6cが上面側に位置し、第1の絶縁層8a、8b、8cが下面側に位置する状態で積層固定されている。そして、第1の半導体装置2の突起電極10aをドウターボード45の図示しないランドに接続して搭載している。

## 実施例7

[0115] 図27は本発明の実施例7である積層型半導体装置をドウターボードに実装した状態の模式的断面図である。本実施例7では、積層型半導体装置1の第1の半導体装置2と第2の半導体装置3は半導体基板6a、6bが上面側に位置し、第1の絶縁層8a、8bが下面側に位置する状態で積層固定され、第3の半導体装置4は半導体基板6cが下面側に位置し、第1の絶縁層8cが上面側に位置する状態で積層固定された混在型になっている。そして、第1の半導体装置2の突起電極10aをドウターボード45の図示しないランドに接続して搭載している。

### 請求の範囲

- [1] (補正後) 下面に外部電極端子を有する第1の半導体装置と、前記第1の半導体装置と電氣的に接続され前記第1の半導体装置上に固定される第2の半導体装置とからなる積層型半導体装置であって、  
前記第1の半導体装置は、  
半導体基板と、  
前記半導体基板の第1の主面側に形成された回路素子と、  
前記回路素子上に形成され、前記回路素子に電氣的に接続される配線と絶縁層とが交互に積層されてなる多層配線部と、  
前記多層配線部を構成する最上層の前記絶縁層を覆い前記半導体基板全面に設けられる前記半導体基板の補強部材となる第1の絶縁層と、  
前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、  
前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、  
前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極と、  
前記貫通電極に接続される前記外部電極端子を有し、  
前記第2の半導体装置は、  
半導体基板と、  
前記半導体基板の第1の主面側に形成された回路素子と、  
前記回路素子上に形成され、前記回路素子に電氣的に接続される配線と絶縁層とが交互に積層されてなる多層配線部と、  
前記多層配線部を構成する最上層の前記絶縁層を覆い前記半導体基板全面に設けられる前記半導体基板の補強部材となる第1の絶縁層と、  
前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、  
前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出するポスト電極、または前記多層配線部の所定深さから前記半導体基板及び前記第

2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを少なくとも有し、

前記第1の半導体装置は前記ポスト電極または前記貫通電極が下面になり、該下面の前記ポスト電極または前記貫通電極には前記外部電極端子が設けられ、前記第1の半導体装置の上面の前記ポスト電極または前記貫通電極に前記第2の半導体装置の下面の前記貫通電極または前記ポスト電極が接合体を介して電氣的に接続されていることを特徴とする積層型半導体装置。

- [2] 前記第1の半導体装置と前記第2の半導体装置との間に1乃至複数段に亘って積層固定される第3の半導体装置を有し、

前記第3の半導体装置は、

半導体基板と、

前記半導体基板の第1の主面側に形成された複数の回路素子及び前記回路素子に接続する配線を含む多層配線部と、

前記多層配線部を覆う第1の絶縁層と、

前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、

前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、

前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを有し、

前記第3の半導体装置の上下面のポスト電極または貫通電極は、上段側の半導体装置及び下段側の半導体装置のポスト電極または貫通電極に接合体を介して電氣的に接続されていることを特徴とする請求項1に記載の積層型半導体装置。

- [3] 前記各段の半導体装置は単体となり、各半導体装置は同一寸法になって一致して重なりあっていることを特徴とする請求項1に記載の積層型半導体装置。

- [4] 前記第1の半導体装置上に前記第1の半導体装置よりも小さい第2の半導体装置が複数個並列配置固定されていることを特徴とする請求項1に記載の積層型半導体装



置。

- [5] 前記第 1 の半導体装置の上面の各貫通電極または各ポスト電極は、前記第 2 の半導体装置の下面の各貫通電極または各ポスト電極に対応し、前記接合体を介してそれぞれ電氣的に接続されていることを特徴とする請求項 1 に記載の積層型半導体装置

- [13] 前記第2の半導体装置は、前記第1の半導体装置と同様に前記第1の絶縁層の表面に露出する複数のポスト電極と、前記第2の絶縁層の表面に露出する複数の貫通電極を有し、上面に位置する所定の前記ポスト電極または前記貫通電極の露出端には突起電極が形成されていることを特徴とする請求項1に記載の積層型半導体装置。
- [14] 前記ポスト電極は、前記貫通電極よりも直径が大きいことを特徴とする請求項1に記載の積層型半導体装置。
- [15] 前記回路素子は能動素子及び受動素子であることを特徴とする請求項1に記載の積層型半導体装置。
- [16] 前記各半導体装置の前記半導体基板は5～50 $\mu\text{m}$ 程度の厚さであり、前記第1の絶縁層の厚さは30～100 $\mu\text{m}$ 程度の厚さであることを特徴とする請求項1に記載の積層型半導体装置。
- [17] (補正後) 半導体基板と、  
前記半導体基板の第1の主面側に形成された回路素子と、  
前記回路素子上に形成され、前記回路素子に電気的に接続される配線と絶縁層とが交互に積層されてなる多層配線部と、  
前記多層配線部を構成する最上層の前記絶縁層を覆い前記半導体基板全面に設けられる前記半導体基板の補強部材となる第1の絶縁層と、  
前記半導体基板の第1の主面の反対面になる第2の主面を覆う第2の絶縁層と、  
前記多層配線部のそれぞれ所定の配線上に形成され前記第1の絶縁層の表面に露出する複数のポスト電極と、  
前記多層配線部の所定深さから前記半導体基板及び前記第2の絶縁層を貫通して設けられ、前記半導体基板に絶縁膜を介して接触し、かつ前記多層配線部のそれぞれ所定の配線に接続される複数の貫通電極とを有することを特徴とする半導体装置。
- [18] 所定の前記ポスト電極及び前記貫通電極の露出端には突起電極が形成されていることを特徴とする請求項17に記載の半導体装置。
- [19] 前記ポスト電極は前記貫通電極の直径よりも大きいことを特徴とする請求項17に記載の半導体装置。

- [20] 前記ポスト電極はメッキ膜またはスタッドバンプ電極もしくはCVD膜で形成されていることを特徴とする請求項17に記載の半導体装置。

- [21] 前記貫通電極及び前記ポスト電極は銅、タングステン、チタン、ニッケル、アルミニウムあるいはそれらの合金で形成されていることを特徴とする請求項17に記載の半導体装置。
- [22] 前記回路素子は能動素子及び受動素子であることを特徴とする請求項17に記載の半導体装置。
- [23] 前記各半導体装置の前記半導体基板は5～50 $\mu$ m程度の厚さであり、前記第1の絶縁層の厚さは30～100 $\mu$ m程度の厚さであることを特徴とする請求項17に記載の半導体装置。
- [24] (補正後) 下面に外部電極端子を有する第1の半導体装置と、前記第1の半導体装置上に積層固定される第2の半導体装置を有し、前記両半導体装置が電氣的に接続される積層型半導体装置の製造方法であって、
- (a) 半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、
  - (b) 前記各製品形成部に前記回路素子に電氣的に繋がる配線と絶縁層とを順次所定パターンにかつ交互に積層形成して多層配線部を形成する工程と、
  - (c) 前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、
  - (d) 前記多層配線部のそれぞれ所定の配線上にポスト電極を形成する工程と、
  - (e) 前記半導体基板の第1の主面全域に前記ポスト電極及び前記多層配線部を構成する最上層の前記絶縁層を覆う第1の絶縁層を形成する工程と、
  - (f) 前記第1の絶縁層の表面を所定厚さ除去して前記ポスト電極を露出させる工程と、
  - (g) 前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、
  - (h) 前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、

(i) 前記貫通電極の先端を露出させる状態で前記半導体基板の第2の主面に所定の厚さの第2の絶縁層を形成する工程と、

(j) 前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程と、

(k) 前記工程(i)の後、または前記工程(j)の後に、前記貫通電極及び前記ポスト電極のうちの所定の露出端に突起電極を形成する工程とを有し、

前記工程(a)乃至工程(k)によって前記第1の半導体装置を形成し、

前記工程(a)乃至工程(k)における工程の選択によって、前記貫通電極または前記ポスト電極を少なくとも有する前記第2の半導体装置を形成し、

つぎに、前記第1の半導体装置を前記貫通電極または前記ポスト電極が下面になるようにして前記外部電極端子とした後、前記第2の半導体装置の下面の前記貫通電極または前記ポスト電極と、前記第1の半導体装置の上面の前記貫通電極または前記ポスト電極を前記突起電極の一時的溶融処理によって電氣的に接続して積層型半導体装置を製造することを特徴とする積層型半導体装置の製造方法。

[25] 前記貫通電極のみを有する前記第2の半導体装置は、

前記半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、

前記各製品形成部に前記回路素子に電氣的に繋がる配線及び絶縁層を順次所定パターンに積層形成して多層配線部を形成する工程と、

前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、

前記半導体基板の第1の主面に第1の絶縁層を形成する工程と、

前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、

前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、

前記貫通電極の先端を露出させる状態で前記半導体基板の第2の主面に所定の厚

または前記ポスト電極を接続することを特徴とする請求項32に記載の積層型半導体装置の製造方法。

- [34] 前記第1の半導体装置と前記第2の半導体装置との間の隙間に絶縁性樹脂を充填し、かつ硬化させることを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [35] 前記第1及び第2の半導体装置のうち、一つの半導体装置は前記半導体基板としてシリコン基板を使用して前記回路素子を形成し、他の一つの半導体装置は前記半導体基板として化合物半導体基板を使用して前記回路素子を形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [36] 前記第2の半導体装置の製造においては、前記第1の半導体装置と同様に前記第1の絶縁層の表面に露出する複数のポスト電極と、前記第2の絶縁層の表面に露出する複数の貫通電極を形成し、上面となる前記ポスト電極または前記貫通電極の所定の露出端に突起電極を設けることを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [37] 前記ポスト電極を前記貫通電極よりも直径が大きくなるように形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [38] 前記回路素子として、能動素子及び受動素子を形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [39] 前記工程(e)において、 $30 \sim 100 \mu\text{m}$ 程度の厚さに前記第1の絶縁層を形成し、  
前記工程(c)において、 $5 \sim 50 \mu\text{m}$ 程度の深さの前記孔を形成し、  
前記工程(f)において、 $30 \sim 100 \mu\text{m}$ 程度の厚さの前記ポスト電極を形成し、  
前記工程(g)において、 $5 \sim 50 \mu\text{m}$ 程度の厚さの貫通電極を形成することを特徴とする請求項24に記載の積層型半導体装置の製造方法。
- [40] (補正後) (a) 半導体基板の第1の主面に所定回路素子を含む製品形成部を複数整列配置形成する工程と、  
(b) 前記各製品形成部に前記回路素子に電氣的に繋がる配線と絶縁層とを順次所

定パターンにかつ交互に積層形成して多層配線部を形成する工程と、

(c) 前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の前記第1の主面の反対面になる第2の主面に向かい、かつ表面に絶縁膜を有する孔を複数形成するとともに、この孔に導体を充填して前記多層配線部の所定の配線に電氣的に接続される充填電極を形成する工程と、

(d) 前記多層配線部のそれぞれ所定の配線上にポスト電極を形成する工程と、

(e) 前記半導体基板の第1の主面全域に前記ポスト電極及び前記多層配線部を構成する最上層の前記絶縁層を覆う第1の絶縁層を形成する工程と、

(f) 前記第1の絶縁層の表面を所定厚さ除去して前記ポスト電極を露出させる工程と、

(g) 前記半導体基板の第2の主面をその表面から所定厚さ除去して前記充填電極を露出させて貫通電極を形成する工程と、

(h) 前記半導体基板の第2の主面を所定厚さエッチング除去して前記貫通電極を所定の長さ突出させる工程と、

(i) 前記半導体基板の第2の主面に所定の厚さの第2の絶縁層を形成して前記貫通電極の先端を露出させる工程と、

(j) 前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程とを有することを特徴とする半導体装置の製造方法。

[41] 前記工程(e)において、前記第1の絶縁層を形成する際、樹脂の硬化処理を不十分な第1次硬化処理とし、

前記工程(f)において、前記第1の絶縁層の表面に前記ポスト電極を露出させた後、前記第1の絶縁層の硬化収縮を伴う第2次硬化処理を行い、前記第1の絶縁層の表面に前記ポスト電極の先端を突出させることを特徴とする請求項40に記載の半導体装置の製造方法。

[42] 前記工程(i)の後、または前記工程(j)の後、前記貫通電極及び前記ポスト電極の所定の露出部分に突起電極を形成することを特徴とする請求項40に記載の半導体装置の製造方法。

[43] 前記ポスト電極を前記貫通電極よりも直径が大きくなるように形成することを特徴



- とする請求項40に記載の半導体装置の製造方法。
- [44] 前記ポスト電極をメッキ膜またはスタッドバンプ電極もしくはCVD膜で形成することを特徴とする請求項40に記載の半導体装置の製造方法。
- [45] 前記回路素子は能動素子及び受動素子であることを特徴とする請求項40に記載の半導体装置の製造方法。
- [46] 前記工程(e)において、30～100 $\mu$ m程度の厚さに前記第1の絶縁層を形成し、  
 前記工程(c)において、5～50 $\mu$ m程度の深さの前記孔を形成し、  
 前記工程(f)において、30～100 $\mu$ m程度の厚さの前記ポスト電極を形成し、  
 前記工程(g)において、5～50 $\mu$ m程度の厚さの貫通電極を形成することを特徴とする請求項40に記載の半導体装置の製造方法。
- [47] (追加) 回路が形成された半導体基板と、  
 前記半導体基板の第1の主面側に形成された第1の絶縁層と、  
 前記半導体基板の第1の主面の反対面になる第2の主面側に形成された第2の絶縁層と、  
 前記第1の絶縁層の表面に露出し、前記回路の一部に電気的に接続される第1の電極と、  
 前記第2の絶縁層の表面に露出し、前記回路の一部に電気的に接続される第2の電極とを有する半導体装置であって、  
 前記半導体基板の前記第1の主面には、前記回路に電気的に接続される配線と、絶縁層とが交互に積層されてなる多層配線部が形成され、  
 前記第1の絶縁層は前記多層配線部を構成する最上層の前記絶縁層上に形成され、  
 かつ前記半導体基板の強度を補強する補強用絶縁層を構成することを特徴とする半導体装置。
- [48] (追加) 前記第1の絶縁層は前記多層配線部を構成する最上層の前記絶縁層よりも厚くなっていることを特徴とする請求項47に記載の半導体装置
- [49] (追加) 前記第1の絶縁層は前記半導体基板より厚いことを特徴とする請求項47

に記載の半導体装置

- [50] (追加) 前記第1の絶縁層の厚さは30～100 $\mu$ m、前記半導体基板の厚さは5～50 $\mu$ mであることを特徴とする請求項47に記載の半導体装置
- [51] (追加) 前記第2の電極は前記半導体基板の前記第1の主面から前記第2の主面を貫通する貫通電極であることを特徴とする請求項47に記載の半導体装置
- [52] (追加) 回路が形成された半導体基板と、  
前記半導体基板の第1の主面側に形成された第1の絶縁層と、  
前記半導体基板の第1の主面の反対面になる第2の主面側に形成された第2の絶縁層と、  
前記第1の絶縁層の表面に露出し、前記回路の一部に電気的に接続される第1の電極と、  
前記第2の絶縁層の表面に露出し、前記回路の一部に電気的に接続される第2の電極とを有する半導体装置であって、  
前記半導体基板の前記第1の主面には、前記回路に電気的に接続される配線と、絶縁層とが交互に積層されてなる多層配線部が形成され、  
前記第1の絶縁層は前記多層配線部を構成する最上層の前記絶縁層上に形成される前記半導体基板の強度を補強する補強用絶縁層である半導体装置の製造方法であって、  
(a) 半導体基板の第1の主面に前記回路を含む製品形成部を複数整列配置形成する工程と、  
(b) 前記半導体基板の第1の面の前記各製品形成部に前記多層配線部を形成する工程と、  
(c) 前記多層配線部を形成する段階において、前記多層配線部の所定深さから前記半導体基板の第2の主面に向かい、かつ表面に絶縁膜を有する孔を形成する工程と、  
(d) 前記孔に導体を充填して前記第2の電極を形成する工程と、  
(e) 前記多層配線部を構成する最上層の絶縁層上に前記第1の絶縁層を形成するとともに、前記第1の絶縁層を貫通する前記第1の電極を形成する工程と、

- (f) 前記半導体基板の第2の主面を所定厚さ除去して前記第2の電極を露出させる工程と、
- (g) 前記第2の電極を露出させる状態で前記半導体基板の第2の主面を前記第2の絶縁層で覆う工程と、
- (h) 前記半導体基板を前記第1及び第2の絶縁層を含めて縦横に切断して前記各製品形成部を分割する工程とを有することを特徴とする半導体装置の製造方法。
- [53] (追加) 前記工程(e)において、前記第1の絶縁層を前記多層配線部を構成する最上層の前記絶縁層よりも厚く形成することを特徴とする請求項52に記載の半導体装置の製造方法。
- [54] (追加) 前記工程(f)において、前記半導体基板を前記第1の絶縁層より薄く形成することを特徴とする請求項52に記載の半導体装置の製造方法。